

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294371

(43)Date of publication of application : 04.11.1998

(51)Int.Cl. H01L 21/82

(21)Application number : 09-102959 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

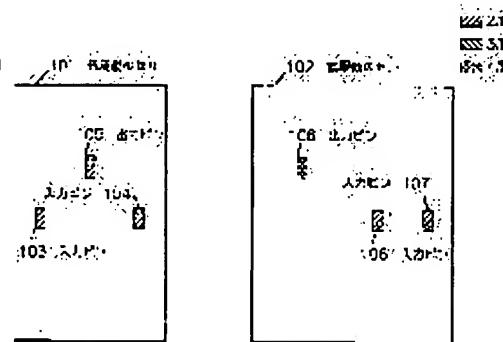
(22)Date of filing : 21.04.1997 (72)Inventor : YAMADA AKIHIRO

(54) CELL LIBRARY OF SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD OF LAYOUT DESIGN

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a higher-speed circuit operation by increasing ratio of usage of higher level wiring layers for longer wiring by allocating output pins of cells with high driving capacity, i.e., cells which drive longer wire nodes to higher level wiring layers.

SOLUTION: At the time of logic design, a cell 102 of high driving capacity is allocated for driving a long distance wiring. A wiring layer of upper level than a wiring layer of a cell 101 with a low driving capacity is allocated as a wiring layer for an output pin of the cell 102 with a high driving capacity. In this way, the ratio of usage of the upper level wiring for a long distance wiring at the time of wiring arrangement is increased and the operation speed is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294371

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶

H 01 L 21/82

識別記号

F I

H 01 L 21/82

B

審査請求 未請求 請求項の数5 OL (全6頁)

(21) 出願番号 特願平9-102959

(22) 出願日 平成9年(1997)4月21日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山田 晃弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

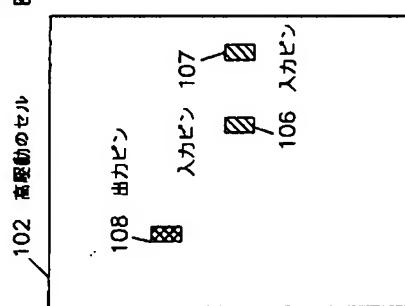
(54) 【発明の名称】 半導体集積回路のセルライブラリおよびレイアウト設計方法

(57) 【要約】

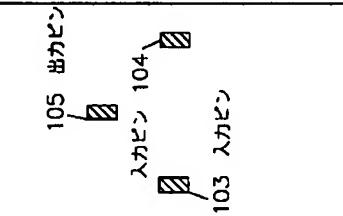
【課題】 多層配線技術を用いた半導体集積回路の設計においては、特に長距離配線の部分などに下位の配線層が使用されると、上位の配線層を使用した場合に比較して配線遅延が大きくなり、動作速度が十分に上がらない。

【解決手段】 本発明では、長距離配線を駆動するセルには論理設計時に駆動能力の高いセル102が割り当てられることを利用し、駆動能力の高いセル102の出力ピン108の配線層として駆動能力の低いセル101の配線層よりも上位の配線層を割り当て、それにより配置配線時に長距離配線の部分で上位の配線層が使用される比率を高め、動作速度の向上を実現する。

2層 3層 4層



101 低駆動のセル



【特許請求の範囲】

【請求項1】 スタックドビアと多層金属配線を有する半導体集積回路の設計に使用するスタンダードセルライ

ブリであり、

前記ライブリ中の少なくとも1つ以上のセルの出力ビンの金属配線層が他のセルの出力ビンの金属配線層と異なることを特徴とするスタンダードセルライ

ブリであり、

前記ライブリ中の少なくとも1つのセルの出力ビンの金属配線層として複数の配線層を与えたことを特徴とするスタンダードセルライ

ブリ。

【請求項3】 セルの出力ビンの配線層を仮想的なデータとして与えたことを特徴とする請求項2のスタンダードセルライ

ブリ。

【請求項4】 自動配置配線による半導体集積回路のレイアウト設計において、請求項2のスタンダードセル

ライ

ブリを使用し、

配線工程の前の配置工程後のセルの位置情報を元に各配

線長を見積り、

配線長の短い場合には該配線ノードを駆動するセルの出

力ビンの配線層として下位レベルの配線層を使用し、

配線長の長い場合には該配線ノードを駆動するセルの出

力ビンの配線層として上位レベルの配線層を使用し、

その後に配線工程を行なうことを特徴とする半導体集積

回路のレイアウト設計方法。

【請求項5】 自動配置配線による半導体集積回路のレイアウト設計において、請求項3のスタンダードセル

ライ

ブリを使用し、

配線工程の前の配置工程後のセルの位置情報を元に各配

線長を見積り、

配線長の短い場合には該配線ノードを駆動するセルの出

力ビンの配線層として下位レベルの配線層を割り当て、

配線長の長い場合には該配線ノードを駆動するセルの出

力ビンの配線層として上位レベルの配線層を割り当て、

それぞれ割り当てられた配線層データおよびそれに付随

するビアデータを各セルに対して自動的に発生させ、

その後に配線工程を行なうことを特徴とする半導体集積

回路のレイアウト設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路のスタンダードセル方式のスタンダードセルライ

ブリおよびそのライブリを用いたレイアウト設計方法に関するものである。

【0002】

【従来の技術】 従来のスタンダードセル方式による半導

体集積回路の設計においては、一般的にスタンダードセ

ルライ

ブリのレイアウト中の出力ビンは1つの配線層

で付けられており、更に、これは固定されたものであるため、配置配線時に出力ビンからの配線層が変えることもできない。

【0003】

【発明が解決しようとする課題】 近年の半導体プロセス技術の発展により、半導体チップにおいて1チップ上に搭載できる回路規模がますます増加すると共に、配線層においては4層、5層といった多層配線技術が用いられるようになりつつある。

10

【0004】 このような多層配線技術が重視される背景としては、半導体チップの面積を小さくし製造コストを低減させることも当然ながら、ますます高速化する動作周波数に対応するためでもある。

【0005】 面積の縮小は回路間の距離を縮めることにつながり、当然ながら高速化に寄与するものであるが、それに加えて、上位の配線層を積極的に活用することにより、回路の高速化を計ることが可能となる。これは製造工程上の制約により、一般的に以下の傾向があるためである。

【0006】 下位の配線層はその上下が他の拡散層に挟まれているため、単位あたりの容量が上位の配線層に比べて大きくなる。また、多層配線の製造工程においては上位の配線層の断線などの製造不良を避けるために、下位の配線層をできるだけ平坦化する必要があるが、のために下位の配線層の膜厚は上位の配線層の膜厚よりも薄くしなければならない。このために下位の配線層では上位の配線層に比べて、更に容量が増大する。

30

【0007】 また、トランジスタを形成する拡散層は金属配線層よりも下位にあり、その各部分への接続には下位の配線層が使用されるため、必然的に下位の配線層は密集することになり、集積度を向上させるためには下位の配線層の配線幅を狭くする必要がある。これに対して上位の配線層は下位の配線層に比較して配線幅を広くすることが可能である。このため、下位の配線層の配線抵抗は上位の配線層の配線抵抗に比較して一般的に高くなることになる。

40

【0008】 上記のような種々の理由から、高速な動作を目指すためには、より上位の配線層を多用する方がよいことが分かる。しかし、セルの出力ビンの配線層が下位の配線層のままであればセル間を接続するために使用される金属配線は下位の配線層の比率が高くなる。これを回避するためには、セルの出力ビンの配線層として上位の配線層を使用すればよいが、全てのセルの出力ビンの配線層が上位の配線層であると、その配線パターン自身が邪魔となって全体的な配線効率が低下し、集積度が低下する。

【0009】

【課題を解決するための手段】 前記課題を解決するため、本発明は、スタンダードセルの出力ビンの配線層として複数の配線層を与えることにより、特に配線遅延の

50

大きくなる長距離配線を駆動する駆動能力の大きいセルの出力ピンの配線層を上位の配線層とし、短距離配線を駆動する駆動能力の小さいセルの出力ピンの配線層を下位の配線層とすることによって、配線工程での効率低下を招くことなく、長距離配線に対して上位の配線層が使用される比率を高めることにより動作速度を向上させる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について、図を用いて説明する。

【0011】ここでは、説明を簡単化するため、4層金属配線プロセスを用いることと、セルライブラリとして、全ての論理機能の実現を可能とする2入力NAND(2入力論理積の反転出力)ゲートを使用することとし、更にそのゲートの駆動能力として高駆動、低駆動の2種類のセルを用意するものとする。

【0012】図1は請求項1におけるセルライブラリのレイアウトを簡単に示した図であり、101は低駆動のセル、102は高駆動のセル、103、104、106、107はそれぞれのセルの入力ピンの配線、105、108はそれぞれのセルの出力ピンの配線パターンである。ここでは図に示されているように、低駆動のセルの出力ピン105の配線層には下位の配線層である2層が与えられ、高駆動のセルの出力ピン108の配線層には上位の配線層である4層が与えられている。このようなライブラリを使用して機能ブロックの自動配置配線を行なった結果を表したもののが図2である。ここでは簡単のために2ヶ所の接続のみを図示する。図2において、201は高駆動のセル、202、203、204は低駆動のセルであり、セル201はセル202を駆動し、セル203はセル204を駆動する。図2から分かるように、高駆動セル201の出力ピンの配線層は4層を使用しているため、セル202への接続においては4層の金属配線が多用されている。これに対し、図3は従来のセルライブラリのレイアウトを簡単に示したものであり、301は低駆動のセル、302は高駆動のセル、303、304、306、307はそれぞれのセルの入力ピンの配線、305、308はそれぞれのセルの出力ピンの配線パターンである。ここでは、出力ピンの配線層として2層のみが用いられている。このようなライブラリを使用して機能ブロックの自動配置配線を行なった結果を表したもののが図4である。ここでも簡単のために2ヶ所の接続のみを図に示す。図4において、401は高駆動のセル、402は低駆動のセルであり、セル401はセル402を駆動する。図2と図4の比較から明らかなように、本発明によれば、上位の配線層が使用される割合が高くなり、動作速度の向上に寄与することが可能となる。

【0013】図5は請求項2におけるライブラリのレイアウトを簡単に示した図であり、501は低駆動のセ

ル、502は高駆動のセル、503、504、506、507はそれぞれのセルの入力ピンの配線、505、508はそれぞれのセルの出力ピンの配線パターンである。ここで、508はスタックドビアの配置により2層、3層、4層でのいずれの配線層での出力も可能なピンとして定義されている。このようなライブラリを使用して請求項4に示されるレイアウト設計方法によって機能ブロックの自動配置配線を行なった結果は図2と同等の結果になる。この時、配置終了の段階で各配線の配線長が見積もられ、配線距離が長いと判断された、201から202への接続を駆動するセル201の出力ピンの配線層として4層が選択され、その後に配線工程の処理が行なわれる。

【0014】また、図6は請求項3におけるライブラリのレイアウトを簡単に示した図であり、601は低駆動のセル、602は高駆動のセル、603、604、606、607はそれぞれのセルの入力ピンの配線、605、608はそれぞれのセルの出力ピンの配線パターンである。ここで、605、608はスタックドビアの配置により2層、3層、4層でのいずれの配線層での出力も可能な仮想的なピンとして定義されており、実際の配線パターンは備えていない。このようなライブラリを使用して請求項5に示されるレイアウト設計方法によって機能ブロックの配置配線を行なった結果は図2と同等の結果になる。この時、配置終了の段階で各配線の配線長が見積もられ、配線距離が短いと判断された、203から204への接続を駆動するセル201の出力ピンの配線層として2層が選択され、配線距離が長いと判断された201から202への接続を駆動するセル201の出力ピンの配線層として4層が選択され、それぞれの配線層に必要なスタックドビアおよび配線パターンが発生され、その後に配線工程の処理が行なわれる。

【0015】

【発明の効果】以上説明したように本発明によれば、駆動能力の高いセル、換言すれば長配線長のノードを駆動するセルの出力ピンの配線層として、より上位の配線層を割り当てるため、長配線長の部分の配線として上位の配線層が使用される比率が高くなり、回路のより高速な動作を実現することが可能となる。また、その際、請求項3および5に示す発明によれば、出力ピンの配線層として、セル間の配線時に邪魔となる出力ピンが最低限必要なものしか与えられなくなるため、全体の配線効率を低下させることもない。

【図面の簡単な説明】

【図1】本発明の実施の形態におけるスタンダードセルのレイアウトの簡略図

【図2】図1に示すセルを用いた機能ブロックのレイアウトの簡略図

【図3】従来の技術によるスタンダードセルのレイアウトの簡略図

【図4】従来の技術によるセルを用いた機能ブロックの
レイアウトの簡略図

【図5】本発明の実施の形態におけるスタンダードセル
のレイアウトの簡略図

【図6】本発明の実施の形態におけるスタンダードセル*

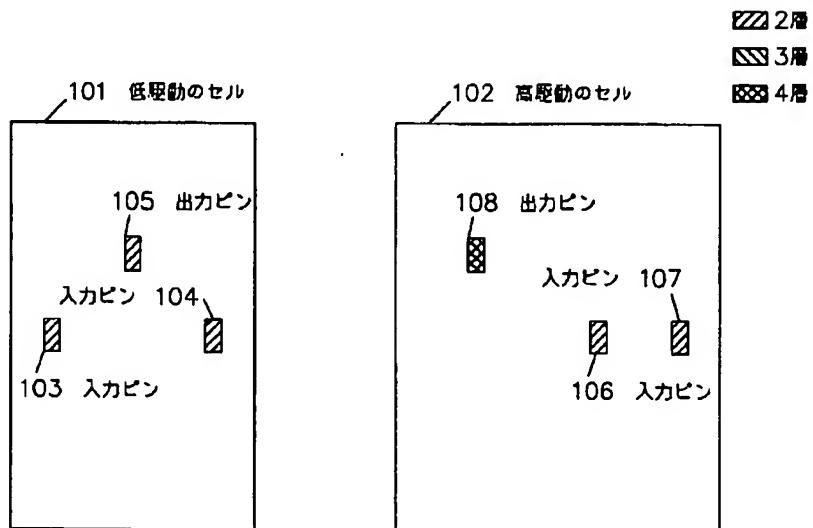
*のレイアウトの簡略図
【符号の説明】

101, 102 セル

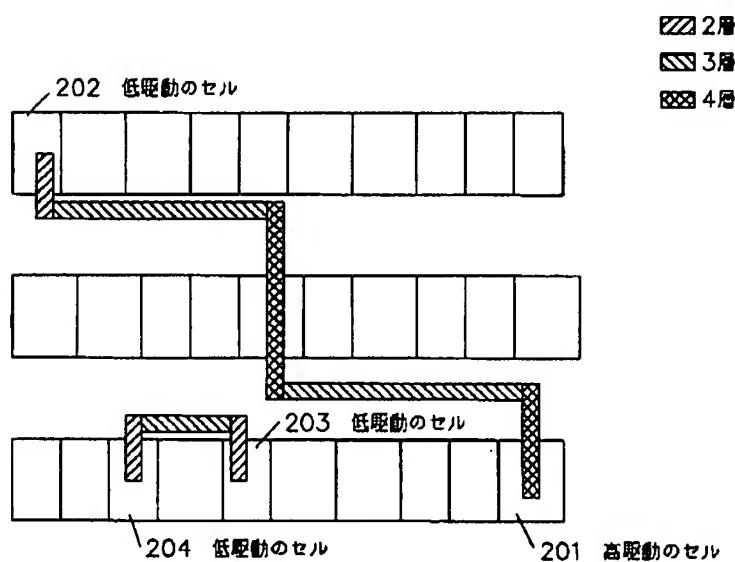
103, 104, 106, 107 入力ピン

105, 108 出力ピン

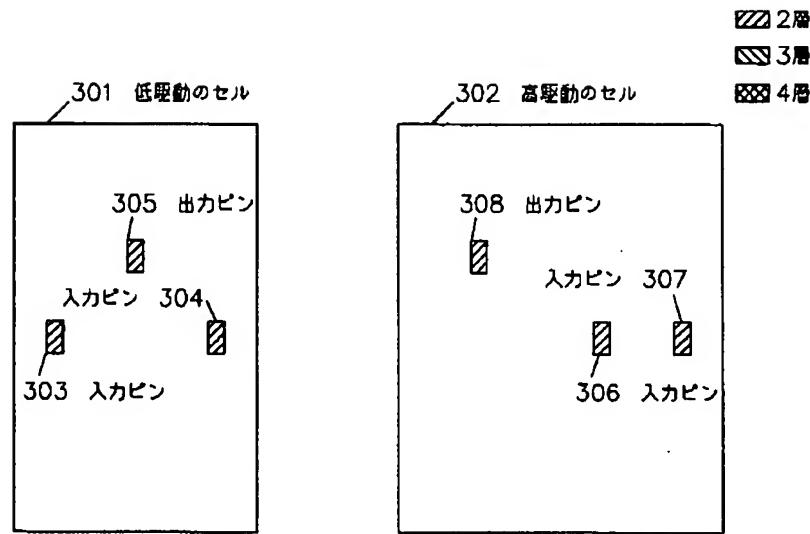
【図1】



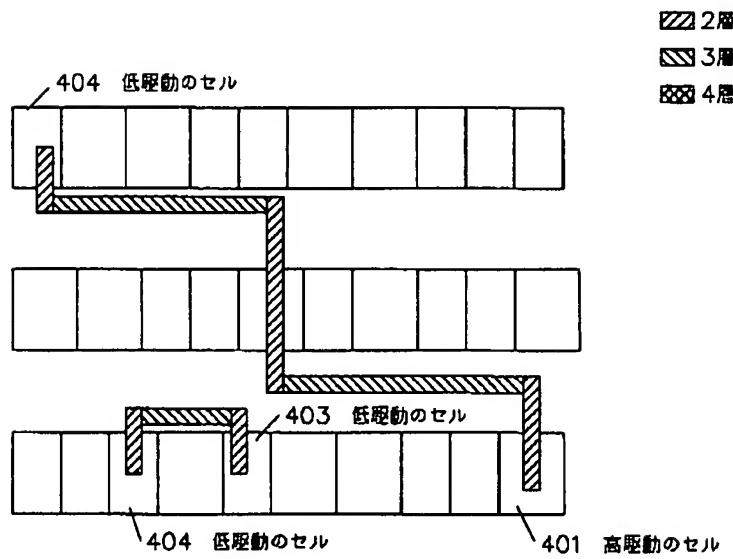
【図2】



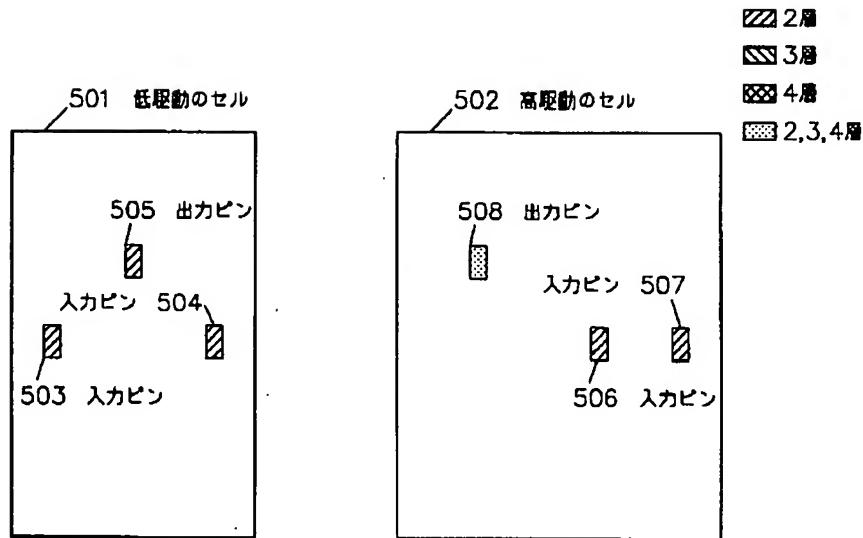
【図3】



【図4】



【図5】



【図6】

